

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-303495
 (43)Date of publication of application : 24.10.2003

(51)Int.Cl.

G11C 15/04

(21)Application number : 2002-105898
 (22)Date of filing : 09.04.2002

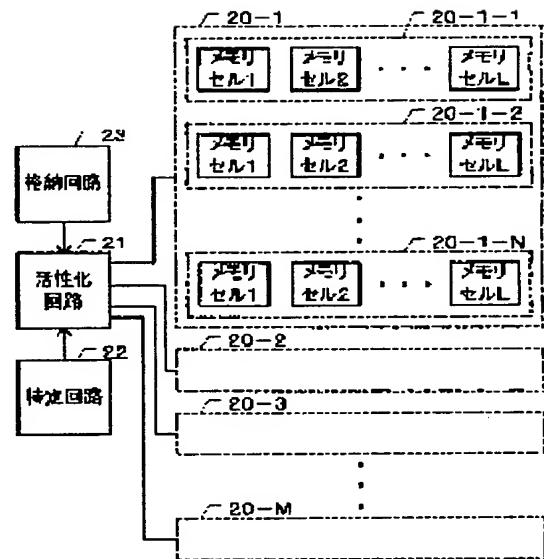
(71)Applicant : FUJITSU LTD
 (72)Inventor : AIKAWA TADAO

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption of a CAM.

SOLUTION: Information of a plurality of patterns indicating whether each memory word block is activated or not is stored in a storing circuit 23. An activating circuit 21 activates each associative memory word block in accordance with a specified pattern when specification information for specifying the prescribed pattern from a plurality of pattern information stored in the storing circuit 23 is inputted. A specification circuit 22 specifies an associative memory word in which data matched to the retrieved data out of an associative memory word group activated by the activating circuit 21 are stored when retrieved data are inputted. Therefore, as activation is performed with an associative memory word block unit, power consumption can be reduced by activating only a required associative memory word.



LEGAL STATUS

[Date of request for examination] 12.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal

[Date of final disposal for application] 15.02.2005

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-303495
(P2003-303495A)

(43)公開日 平成15年10月24日 (2003.10.24)

(51)Int.Cl.⁷
G 1 1 C 15/04

識別記号
6 3 1

F I
G 1 1 C 15/04

テ-マコ-ト^{*} (参考)
6 3 1 Z
C

審査請求 未請求 請求項の数 8 O.L. (全 16 頁)

(21)出願番号 特願2002-105898(P2002-105898)

(22)出願日 平成14年4月9日(2002.4.9)

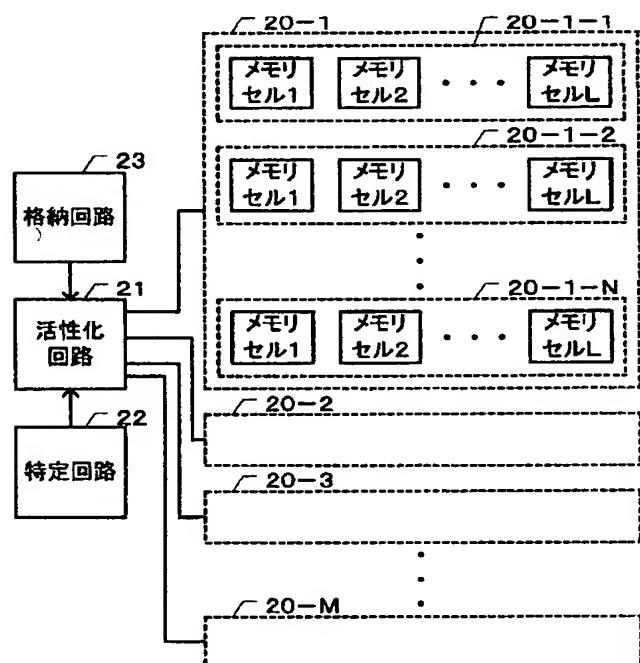
(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72)発明者 相川 忠雄
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74)代理人 100092152
弁理士 服部 肇

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 CAMの消費電力を削減する。

【解決手段】 格納回路23は、各メモリワードブロックを活性化するか否かを示す情報が複数のパターン格納されている。活性化回路21は、格納回路23に格納されている複数のパターンの情報から所定のパターンを指定するための指定情報が入力された場合には、指定されたパターンに応じて各連想メモリワードブロックを活性化する。特定回路22は、検索データが入力された場合には、活性化回路21によって活性化された連想メモリワード群のうち、当該検索データに一致するデータが格納された連想メモリワードを特定する。従って連想メモリワードブロック単位で活性化が行われるので、必要な連想メモリワードのみを活性化することにより消費電力を削減することができる。



【特許請求の範囲】

【請求項1】 複数の連想メモリワードと、各連想メモリワードに接続された複数のメモリセルと、N個の連想メモリワードによって構成されるメモリワードブロックと、各メモリワードブロックを活性化するか否かを示す情報が複数パターン格納された格納回路と、前記格納回路に格納されている複数のパターンの情報から所定のパターンを指定するための指定情報が入力された場合には、指定されたパターンに応じて各連想メモリワードブロックを活性化する活性化回路と、検索データが入力された場合には、前記活性化回路によって活性化された連想メモリワード群のうち、当該検索データに一致するデータが格納された連想メモリワードを特定する特定回路と、を有することを特徴とする半導体記憶装置。

【請求項2】 前記連想メモリワードブロックは、前記検索データを各メモリセルに供給するためのドライバと、前記各連想メモリワードからのマッチ信号を増幅するためのセンスアンプとを有し、前記活性化回路は所定の連想メモリワードブロックの前記ドライバと前記センスアンプのみを活性化することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記ドライバと、前記センスアンプとは、前記連想メモリワードブロックに隣接して配置されていることを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 前記格納回路に格納されている情報は、各ビットがそれぞれの連想メモリワードブロックに対応しており、前記活性化回路は前記格納回路に格納されている前記情報の各ビットの状態に応じてそれぞれの連想メモリワードブロックを活性化することを特徴とする請求項1記載の半導体記憶装置。

【請求項5】 前記活性化パターンは、検索対象となるデータに応じて決定されることを特徴とする請求項1記載の半導体記憶装置。

【請求項6】 前記格納回路に格納されている複数のパターンの情報は、複数個を一括して書き込むことが可能であることを特徴とする請求項1記載の半導体記憶装置。

【請求項7】 前記指定情報は、検索コマンドに付随して入力されることを特徴とする請求項1記載の半導体記憶装置。

【請求項8】 前記格納回路に格納する情報は、検索データが入力されるピンを介して入力されることを特徴とする付記1記載の半導体記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は半導体記憶装置に関

し、特に、C A M (Content Addressable Memory) 等の検索データが格納されているアドレスを出力する半導体記憶装置に関する。

【0002】

【従来の技術】 C A Mの特徴的な動作に、入力されたデータ（検索データ）が格納されたアドレスを検索する検索動作がある。この検索動作は外部から入力される検索データとセル内のデータを比較する動作で、この動作を可能にするためのC A Mのセルは図19に示すような構成になっている。

【0003】 この図に示すように、C A Mを構成する単一のセルは、M O S (Metal Oxide Semiconductor) トランジスタ（以下、単にトランジスタと称する）1 a, 2 a, 5 a, 6 a, 1 b, 2 b, 5 b, 6 b、インバータ3 a, 4 a, 3 b, 4 bによって構成されている。

【0004】 ここで、トランジスタ1 a, 2 aおよびインバータ3 a, 4 aは、正側のビットを記憶する。また、トランジスタ1 b, 2 bおよびインバータ3 b, 4 bは、補側のビットを記憶する。

【0005】 トランジスタ5 a, 5 b, 6 a, 6 bは、検索データ線S D, X S Dに印加されている信号と、セルに記憶されているデータとが一致するか否かを判定する。信号線X B L 0, B L 0, X B L 1, B L 1は、データを書き込む際および読み出す際に使用される。

【0006】 検索データ線S D, X S Dには、検索しようとするデータが入力される。ワード線W Lは、セルの行方向の選択制御信号である。マッチ線M Lは、セル行方向の照合結果伝達用の一一致検出信号線である。

【0007】 次に、以上の従来例の動作について説明する。図20は、図19のセルの状態を示す真理値表である。この図に示すように、図19に示すセルは、論理値“1”, “0”, “X (不定)”を記憶する。具体的には、トランジスタ6 a, 6 bの入力側をそれぞれN 1, N 2とすると、N 1が“L”かつN 2が“H”的状態が“1”に対応し、N 1が“H”かつN 2が“L”的状態が“0”に対応し、N 1が“L”かつN 2が“L”的状態が“X”に対応している。

【0008】 例えば、論理値“1”が記憶されている場合に、検索値として“0”が入力されると、即ち、検索データ線S Dが“H”的状態にされ、かつ、検索データ線X S Dが“L”的状態にされると、トランジスタ5 a, 6 aはONの状態に、トランジスタ5 b, 6 bはOFFの状態になる。その結果、マッチ線M Lはトランジスタ5 a, 6 aによって接地されるので“L”的状態になり不一致が検出される。

【0009】 一方、同様に論理値“1”が記憶されている場合に、検索値として“1”が入力されると、即ち、検索データ線S Dが“L”的状態にされ、かつ、検索データ線X S Dが“H”的状態にされると、トランジスタ5 b, 6 aはONの状態に、トランジスタ5 a, 6 bは

OFFの状態になる。その結果、マッチ線MLは接地されないので“H”的状態を保持し、一致が検出される。

【0010】以上が、単一のメモリセルの基本的な動作である。次に、図19に示すメモリセルが複数接続されて構成される連想メモリワード（以下、単にメモリワードと称する）について説明する。

【0011】図21はメモリワードの構成例を示す図である。この図に示すように、メモリワードは、図19に示す単一のメモリセルが複数接続されて構成されている。なお、この例では、2つのメモリセル10, 11のみを示してあるが、実際には複数個のメモリセルが接続されている。

【0012】メモリセル10, 11は、マッチ線MLに対してワイヤードオア接続されており、各メモリセルに對して検索データ線SD1, XSD1, SD2, XSD2を介して入力された検索データと記憶データとが一致しない場合には、マッチ線MLを接地する。

【0013】ここで、メモリセル10は、記憶部10a, 10b、トランジスタ10c～10fによって構成されている。なお、記憶部10a, 10bは、図19の2つのトランジスタと2つのインバータを簡略化して示している。

【0014】メモリセル11も同様に、記憶部11a, 11b、トランジスタ11c～11fによって構成されている。なお、記憶部11a, 11bも同様に、図19の2つのトランジスタと2つのインバータを簡略化して示している。

【0015】インバータ13は、マッチ線MLに印加されている信号を反転して出力信号OUTとして出力する。トランジスタ12は、プリチャージ線MLEZが“L”的状態になった場合には、マッチ線MLをプリチャージする。

【0016】次に、以上の例の動作を説明する。図22は、以上の例の動作を説明するためのタイミングチャートである。時刻T0では、回路はスタンバイ状態となっており、プリチャージ線MLEZが“L”的状態であるので（図22（A）参照）、マッチ線MLがプリチャージされた状態である。

【0017】時刻T1において、プリチャージ線MLEZが“H”的状態になると（図22（A）参照）、トランジスタ12がOFFの状態になるので、プリチャージ状態が解除される。

【0018】そして、時刻T2において検索データ“0”が入力されると、検索データ線SD1は“H”的状態に（図22（B）参照）、また、検索データ線XSD1は“L”的状態になる（図22（C）参照）。

【0019】このとき、メモリセル10にデータ“1”が格納されているとすると、記憶部10aの出力は“H”的状態に、また、記憶部10bの出力は“L”的状態になる。

【0020】その結果、トランジスタ10c, 10dは双方ともにONの状態になるので、マッチ線MLは接地され、“L”的状態になる（図22（D）参照）。マッチ線MLが“L”的状態になると、インバータ13の出力は時刻T3において“H”的状態になり、当該メモリワードは不一致であることを示す。

【0021】そして、時刻T4においてプリチャージ信号線MLEZが“L”に遷移し、マッチ線MLがチャージされて“H”的状態になり、1サイクルが終了する。

【0022】

【発明が解決しようとする課題】ところで、前述したような検索動作は、チップ全体で行われる。従って、例えば、メモリワードがN個のセルから構成され、装置全体でメモリワードがM個存在する場合には、N×M個のメモリセルが同時に動作することになる。

【0023】メモリセルを動作させるためには、マッチ線MLを充放電し、また、検索データ線SDを駆動する必要があるため、これらN×M個のメモリセルを駆動するための電力消費は多大なものとなるという問題点があった。

【0024】本発明はこのような点に鑑みてなされたものであり、検索動作時において消費電力が少ない半導体記憶装置を提供することを目的とする。

【0025】

【課題を解決するための手段】本発明では上記課題を解決するために、図1に示す、複数の連想メモリワード20-1-1～20-1-N乃至20-M-1～20-M-N（不図示）と、各連想メモリワードに接続された複数のメモリセル1～Lと、N個の連想メモリワードによって構成されるメモリワードブロック20-1～20-Mと、各メモリワードブロックを活性化するか否かを示す情報が複数のパターン格納された格納回路23と、格納回路23に格納されている複数のパターンの情報から所定のパターンを指定するための指定情報が入力された場合には、指定されたパターンに応じて各連想メモリワードブロックを活性化する活性化回路21と、検索データが入力された場合には、活性化回路21によって活性化された連想メモリワード群のうち、当該検索データに一致するデータが格納された連想メモリワードを特定する特定回路22と、を有することを特徴とする半導体記憶装置が提供される。

【0026】ここで、連想メモリワードブロック20-1～20-Mは、それぞれ複数の連想メモリワードによって構成されており、各連想メモリワードは複数のメモリセルによって構成されている。例えば、連想メモリワードブロック20-1は、連想メモリワード20-1-1～20-1-Nによって構成され、連想メモリワード20-1-1は、メモリセル1～Lによって構成されている。

【0027】格納回路23は、各メモリワードブロック

を活性化するか否かを示す情報が複数のパターン格納されている。活性化回路21は、格納回路23に格納されている複数のパターンの情報から所定のパターンを指定するための指定情報が入力された場合には、指定されたパターンに応じて各連想メモリワードブロックを活性化する。特定回路22は、検索データが入力された場合には、活性化回路21によって活性化された連想メモリワード群のうち、当該検索データに一致するデータが格納された連想メモリワードを特定する。従って連想メモリワードブロック単位で活性化が行われるので、必要な連想メモリワードのみを活性化することにより消費電力を削減することができる。

【0028】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明の動作原理を説明する原理図である。この図に示すように、本発明の半導体記憶装置は、連想メモリワードブロック（以下、単にメモリワードブロックと称する）20-1～20-M、活性化回路21、特定回路22および格納回路23によって構成されている。

【0029】ここで、メモリワードブロック20-1～20-Mは、それぞれがN個のメモリワードによって構成されており、メモリワードブロック20-1の場合では、メモリワード20-1-1～20-1-Nによって構成されている。メモリワード20-1-1～20-1-Nは、メモリワード20-1-1を例に挙げて説明すると、L個のメモリセル1～Lによって構成されており、Lビットのデータを格納することができる。

【0030】格納回路23は、メモリワードブロック20-1～20-Mのそれぞれを活性化するか否かを示す情報が複数のパターン格納されている。活性化回路21は、格納回路23に格納されている複数のパターンの情報から所定のパターンを指定するための指定情報が入力された場合には、指定されたパターンに応じて各連想メモリワードブロックを活性化する。

【0031】特定回路22は、検索データが入力された場合には、活性化回路21によって活性化された連想メモリワード群のうち、検索データに一致するデータが格納された連想メモリワードブロックを特定する。

【0032】次に、以上の原理図の動作について説明する。例えば、格納回路23に、メモリワードブロック20-1、20-2のみを活性化する活性化パターンの情報と、他の活性化パターン（例えば、メモリワードブロック20-3、20-4のみを活性化する）の情報が格納されているとする。

【0033】このような状態において、前述のメモリワードブロック20-1、20-2を活性化する活性化パターンの情報を指定するための情報（格納回路23に格納されている情報よりも情報量が少ない情報）が入力されたとすると、活性化回路21は、特定回路22により

メモリワードブロック20-1、20-2を活性化する。より具体的には、活性化回路21は、メモリワードブロック20-1、20-2に内蔵されている図示せぬセンスアンプ（マッチ線の出力を増幅するためのアンプ）と、ドライバ（検索データを各メモリセルに供給するためのドライバ）とを動作状態にし、それ以外のメモリワードブロック20-3～20-Mについては、非動作状態にする。

【0034】特定回路22は、活性化回路21によって活性化されたメモリワードブロック20-1、20-2のそれぞれに対して検索データを供給し、検索動作を実行させる。その結果、例えば、メモリワード20-1-1に該当するデータが検索されている場合には、メモリワード20-1-1に接続されているマッチ線のみが“H”の状態になり、それ以外は“L”的状態になるため、検索データが格納されているメモリワードを特定することができる。

【0035】以上に説明したように、本発明では、N個のメモリワードから構成されるメモリワードブロックを設け、活性化回路21により検索対象をメモリワードブロック単位で活性化するようにしたので、不要なメモリワードブロックを休止状態にすることが可能になり、その結果、装置全体での消費電力を削減することができる。

【0036】また、格納回路23に複数の活性化パターンの情報を格納しておき、この情報に基づいてメモリワードブロックを活性化するようにしたので、少ない情報量で活性化の対象となるメモリワードブロックを特定することができる。

【0037】次に、本発明の実施の形態について説明する。図2は、本発明の実施の形態の構成例を示す図である。この図は、本発明におけるメモリワードの分割の態様を示す図である。この図の例では、1メモリワードが72ビットから構成され、また、1メモリワードが128kW1集まって構成されている。そして、128kW1のメモリワードが0～31のメモリワードブロック（以下、メモリワード#0～#31と記述する）に分割されているので、各メモリワードブロックは4kW1のメモリワードによって構成されている。

【0038】図3は、図2の更に詳細な構成例を示す図である。この図に示すように、半導体基板上には、4kW1のメモリワードによって構成されるメモリワードブロックが2分割されて配置されている。図4は、図3において波線により囲繞されているメモリワードブロック#12を拡大して示した図である。この図に示すように、メモリワードブロック#12は、中央部分にメモリセル群が配置され、各メモリセルにはマッチ線MLおよび検索データ線SDがそれぞれ接続されている。マッチ線MLからの出力はマッチ線センスアンプMLSA（以下、単にMLSAと称する）によって増幅されて出力さ

れる。一方、検索データ線 S/D は、S/D バッファによって制御される。また、図中破線で囲繞した部分には、制御回路が配置されており、MLSA および S/D バッファを制御する。

【0039】図5は、図4に示す制御回路に関する部分の構成例を示す図である。この図に示すように、制御回路41は、入力バッファ41a、入力バッファ41b、MSEジェネレータ41c、SDEバッファ41dおよびMSEバッファ41eによって構成されており、活性化の対象となっているか否かに応じてS/Dバッファ43およびMLSA44を動作状態または非動作状態にする。

【0040】ここで、入力バッファ41aは、後述するレジスタから供給される、メモリワードブロック#12を活性化するか否かを示す信号BE12（後述する）を、CLK信号によってラッチし、BE12Z信号としてMSEジェネレータ41cに供給する。

【0041】入力バッファ41bは、検索信号XSERをCLK信号によってラッチし、SEZ信号としてMSEジェネレータ41cに供給する。MSEジェネレータ41cは、入力バッファ41bから供給されるSEZ信号がアクティブ（検索信号が入力されたことを示す）であって、BE12Z信号がアクティブとなっている場合（当該メモリワードブロックが活性化の対象となっている場合）には、SDEバッファ41dとMSEバッファ41eに供給されているPSDEZ信号とPMLEZ信号をアクティブにする。

【0042】SDEバッファ41dは、PSDEZ信号がアクティブにされた場合には、SDEZ信号をアクティブにし、S/Dバッファ43を動作可能な状態にする。MSEバッファ41eは、PMLEZ信号がアクティブにされた場合には、MLEZ信号をアクティブにし、MLSA44を動作可能な状態にする。

【0043】データ入力バッファ42は、クロック信号CLKに同期して入力された入力データDINをラッチし、DIZ信号として出力する。S/Dバッファ43は、データ入力バッファ42から供給されたDIZ信号をメモリワードブロック40のメモリセル40aに供給する。なお、この例では、メモリセル40aが一個の場合を例示してあるが、実際には $72 \times 4 \text{ kbytes}$ のメモリセルが存在している。

【0044】MLSA44は、マッチ線MLに印加されている電圧を増幅し、出力する。図6は、活性化するメモリワードブロックを指定するための情報を格納したレジスタの構成例を示す図である。

【0045】この例では、BE(Block Enable) Register([0]～[15])の16個のレジスタによって構成されている。各レジスタは、第0ビット～第31ビットの32ビットによって構成され、各ビットが図2に示すメモリワードブロックに対応している。ビ

ットが“1”である場合には、該当するメモリワードブロックを活性化することを示し、“0”である場合には、活性化しないことを示す。

【0046】図7は、BEレジスタに関する回路の構成例を示す図である。この図に示すように、BEレジスタ64に関する回路としては、インストラクションピン(Instruction Pin)50-1～50-n、データ入力ピン(Din Pin)51-1～51-p、入力バッファ52-1～52-n、入力バッファ53-1～53-p、ラッチ回路54-1～54-n、ラッチ回路55-1～55-p、コマンドデコーダ56、レジスタ活性化回路57、アドレスデコーダ58、デコーダ59、Wデコーダ60、パターンジェネレータ61、データパターン回路62、Wアンプ63、BEレジスタ64およびBEレジスタ65によって構成されている。

【0047】ここで、インストラクションピン50-1～50-nは、半導体記憶装置にコマンドを入力するためのピン（端子）であり、インストラクションピン50-1～50-mは、コマンド自体を、また、インストラクションピン50-m～50-nは、BEレジスタの所定のレジスタを指定するためのデータ（アドレス）が入力される。

【0048】データ入力ピン51-1～51-pは、BEレジスタ64に格納するデータを入力するためのピンである。入力バッファ52-1～52-nは、インストラクションピン50-1～50-nから入力された信号を増幅して次段に出力する。

【0049】入力バッファ53-1～53-pは、データ入力ピン51-1～51-pから入力されたデータを増幅して次段に出力する。ラッチ回路54-1～54-nは、入力バッファ52-m～52-nから供給されたデータをクロック信号に同期してラッチし、アドレスデコーダ58に供給する。

【0050】ラッチ回路55-1～55-pは、入力バッファ53-1～53-pから供給されたデータをクロック信号に同期してラッチし、パターンジェネレータ61に供給する。

【0051】コマンドデコーダ56は、入力バッファ52-1～52-3から入力されたコマンドをデコードし、リードレジスタREG、ライトレジスタWRGおよび検索信号XSERを出力する。

【0052】レジスタ活性化回路57は、コマンドデコーダから出力されたリードレジスタREG、ライトレジスタWRGおよび検索信号XSERを入力し、Wデコーダ60、BEレジスタ65およびWアンプ63を活性化するためのDENZ信号、ENZ信号およびWENZ信号をそれぞれ出力する。

【0053】アドレスデコーダ58は、ラッチ回路54-1～54-nの出力をデコードして、デコーダ59に供給する。デコーダ59は、アドレスデコーダ58の出

力をデコードして、Wデコーダ60に供給する。

【0054】Wデコーダ60は、デコーダ59の出力を入力し、所定のワード線WL0～WL15をアクティブにすることにより、BEレジスタ64の所定のレジスタを選択する。

【0055】パターンジェネレータ61は、ラッチ回路55-1～55-pからの出力を入力してBEレジスタ64に書き込むためのパターンを発生し、データパターン回路62に供給する。

【0056】データパターン回路62は、パターンジェネレータ61の出力に応じたデータDATA0～DATA31を生成して出力する。Wアンプ63は、データパターン回路62から供給されたDATA0～DATA31を、WENZ信号がアクティブになるタイミングに同期して、BEレジスタ64に供給する。

【0057】BEレジスタ64は、図6に示すように、BE Reg. [0]～[15]によって構成され、各メモリワードブロックを活性化するか否かを示す情報を格納している。

【0058】BEレジスタ65は、BEレジスタ64に格納されているデータであって、Wデコーダ60によって指定されたデータをENZ信号に同期して読み出し、それぞれのビットに応じてBE0～BE31信号を生成し、出力する。

【0059】図8は、図7に示すWアンプ63、BEレジスタ64およびBEレジスタ65の詳細な構成例を示す図である。この図に示すように、Wアンプ63、BEレジスタ64およびBEレジスタ65は、複数のトランジスタ、インバータ、トランジスター等によって構成されている。

【0060】図9は、図8に示すBEレジスタ64の列方向のBE0に関連する部分の拡大図である。この図に示すように、列方向のBE0に関連する部分は、インバータ70～81、トランジスター82、83、Pチャネルトランジスタ（以下、Pトランジスタと称する）84～87、Nチャネルトランジスタ（以下、Nトランジスタと称する）88～96によって構成されている。

【0061】ここで、インバータ70～72、トランジスター82、83、および、Pトランジスタ84、85は、Wアンプ63に対応している。インバータ78、79およびNトランジスタ92、93は、図7に示すReg000に対応するレジスタである。同様に、インバータ76、77およびNトランジスタ90、91は、図7に示すReg100に対応するレジスタである。また、インバータ74、75およびNトランジスタ88、89は、図7に示すRegf00に対応するレジスタである。

【0062】図10は、図5に示す入力バッファ41bの詳細な構成例を示す図である。なお、入力バッファ41aも同様の構成とされている。この図に示すように、

入力バッファ41bは、トランジスター100、101、インバータ102～107、Pトランジスタ108、109およびNトランジスタ110、111によって構成されており、入力されたXSER信号をCLK信号に同期してラッチし、SEZ信号として出力する。

【0063】図11は、図5に示すMSEジェネレータ41cの詳細な構成例を示す図である。この図に示すように、MSEジェネレータ41cは、インバータ120、121およびNANDゲート122によって構成されており、SEZ信号とBE12Z信号に対して論理演算を施すことにより、PMLEZ信号とPSDEZ信号を生成して出力する。

【0064】図12は、図5に示すSDEバッファ41dの詳細な構成例を示す図である。この図に示すように、SDEバッファ41dは、インバータ130～133およびキャパシタ134～136によって構成されており、PSDEZ信号を入力し、所定の時間だけ遅延し、SDEZ信号として出力する。

【0065】図13は、図5に示すS/Dバッファ43の詳細な構成例を示す図である。この図に示すように、S/Dバッファ43は、NANDゲート140、141、インバータ142～145およびキャパシタ146～149によって構成されており、SDEZ信号とDIZ信号のNANDを演算した結果と、この結果を遅延した結果とのNANDを演算して得られた信号を、SD信号として出力する。

【0066】図14は、図5に示すMSEバッファ41eの詳細な構成例を示す図である。この図に示すように、MSEバッファ41eは、インバータ150～155およびキャパシタ156～160によって構成されており、入力されたPMLEZ信号を遅延し、MLEZ信号として出力する。

【0067】図15は、図5に示すMLSA44の詳細な構成例を示す図である。この図に示すように、MLSA44は、Pトランジスタ170およびインバータ171によって構成されており、マッチ線に印加されている電圧を反転してOUT信号として出力するとともに、MLEZ信号が“L”の状態になった場合には、マッチ線MLをプリチャージする。

【0068】図16は、図5に示すデータ入力バッファ42の詳細な構成例を示す図である。この図に示すように、データ入力バッファ42は、インバータ190～199、トランジスター200、201、Pトランジスタ202、203、Nトランジスタ204、205、および、キャパシタ206～208によって構成されており、入力されたDIN信号をCLK信号に同期してラッチし、所定量だけ遅延した後、DIZ信号として出力する。

【0069】次に、以上の実施の形態の動作について説明する。先ず、図7に示すBEレジスタ64に対してデ

ータを書き込む際の動作について説明する。

【0070】B E レジスタ6 4に対してデータを書き込む場合には、先ず、インストラクションピン50-1～50-3に対して書き込みコマンドを入力し、インストラクションピン50-m～50-nに対して書き込み対象となるレジスタを選択するデータ(0～15)を入力し、データ入力ピン51-1～51-pに書き込もうとするデータを入力する。

【0071】なお、データ入力ピン51-1～51-pに入力するデータは、32ビットからなるデータであり、各ビットは図2に示すメモリワードブロックを活性化するか否かを示しており、“1”的場合には活性化を、“0”的場合には非活性化を示す。

【0072】仮に、第12ビット目が“1”であり、その他は“0”であるデータをB E R e g. [2]に書き込む場合を例に挙げて説明すると、インストラクションピン50-1～50-3には書き込みコマンドが、インストラクションピン50-m～50-nにはB E R e g. [2]を選択するための“2”が、また、データ入力ピンには第12ビット目が“1”であり、その他のビットが全て“0”である32ビットのデータ“000000000000000000000000000000001...0”を生成するための所定のビット数のデータが入力される。

【0073】インストラクションピン50-1～50-3から入力された書き込みコマンドは、入力バッファ52-1～52-3を介してコマンドデコーダ56に供給される。コマンドデコーダ56は、供給されたコマンドをデコードすることにより、このコマンドが書き込みコマンドであることを認知し、WREG信号をアクティブの状態にする。その結果、レジスタ活性化回路57は、WENZ信号およびWDENZ信号をアクティブの状態にする。その結果、Wデコーダ60およびWアンプ63が活性化された状態になる。

【0074】このとき、Wデコーダ60には、インストラクションピン50-m～50-nから入力され、入力バッファ52-m～52-nおよびラッチ回路54-m～54-nを経由し、アドレスデコーダ58およびデコーダ59によりデコードされた信号が供給されているので、Wデコーダ60はこの信号に応じてB E レジスタ64の所定のレジスタを活性化する。いまの例では、インストラクションピン50-m～50-nには“2”が入力されているので、B E R e g. [2]が活性化されることになる。

【0075】一方、Wアンプ63には、データ入力ピン51-1～51-pから入力されたデータが、入力バッファ53-1～53-pおよびラッチ回路55-1～55-pを経由し、パターンジェネレータ61およびデータパターン回路62においてデコードされ、第12ビット目が“1”であり、その他のビットが全て“0”である32ビットのデータ“000000000000000000000000000000001...0”

が生成されて供給される。

【0076】Wアンプ63は、データパターン回路62から供給された前述のデータを、B E レジスタ64のB E R e g. [2]に対して書き込む。以上がB E レジスタ64への書き込み動作である。

【0077】なお、以上の例では、一つのデータを書き込む場合について説明したが、複数のデータを連続して書き込むことも可能である。このように、複数のデータを連続して書き込んでおけば、個別にデータを書き込む場合に比較して、書き込みに要する時間を短縮することが可能になる。

【0078】次に、以上のようにしてB E レジスタ64に書き込まれたデータを用いて、図2に示すメモリワードから所定のデータを検索する場合の動作について説明する。

【0079】先ず、検索動作を実行する場合には、インストラクションピン50-1～50-3に対して検索コマンドが入力されるとともに、インストラクションピン50-m～50-nに対して、B E レジスタ64の所定のレジスタを特定するためのデータが入力される。

【0080】コマンドデコーダ56は、インストラクションピン50-1～50-3に入力され、入力バッファ52-1～52-3を経由して供給されたコマンドを取得し、このコマンドが検索コマンドであることを認識し、レジスタ活性化回路57に供給されているREG信号をアクティブにするとともに、レジスタ活性化回路57および図5に示す入力バッファ41bに供給されているXSER信号をアクティブにする。

【0081】レジスタ活性化回路57は、ENZ信号をアクティブにし、B E レジスタ65を活性化するとともに、WDENZ信号をアクティブにし、Wデコーダをアクティブにする。

【0082】仮に、インストラクションピン50-m～50-nに対して、B E R e g. [2]を選択するための“2”が入力されたとすると、Wデコーダ60は、B E R e g. [2]を活性化する。その結果、B E R e g. [2]に格納されているデータが読み出され、B E レジスタ65に供給される。

【0083】B E レジスタ65は、B E レジスタ64から供給された信号を反転して出力する。その結果、B E レジスタ65から出力される信号はB E 12が“1”的状態になり、それ以外は“H”的状態になる。

【0084】図17は、以上のようにしてB E レジスタ64から読み出されたデータによりメモリワードブロックを活性化し、当該メモリワードブロックを検索する場合の動作について説明するタイミングチャートである。

【0085】この図に示すように、コマンドデコーダ56から出力されるXSER信号がアクティブの状態（“L”的状態）にされると（図17（B）参照）、前述のような動作により、B E レジスタ65の出力である

B E 1 2 は “L” の状態に（図 1 7 （C）参照）、それ以外（B E 0～1 1 および B E 1 3～B E 3 1）は “H” の状態になる。

【0 0 8 6】入力バッファ 4 1 b（図 1 0 参照）は、X S E R 信号をクロック信号 C L K でラッチし、S E Z 信号（図 1 7 （D）参照）として M S E ジェネレータ 4 1 c に供給する。

【0 0 8 7】一方、入力バッファ 4 1 a（図 1 0 参照）は、B E 1 2 信号をクロック信号 C L K でラッチし、B E 1 2 Z 信号（図 1 7 （E）参照）として M S E ジェネレータ 4 1 c に供給する。

【0 0 8 8】M S E ジェネレータ 4 1 c は、図 1 1 に示す論理回路により、S E Z 信号と B E 1 2 Z 信号から、P M L E Z 信号（図 1 7 （F）参照）と P S D E Z 信号（図 1 7 （G）参照）を生成し、M S E バッファ 4 1 e と S D E バッファ 4 1 d にそれぞれ供給する。

【0 0 8 9】S D E バッファ 4 1 d は、図 1 2 に示す回路により、入力された P S D E Z 信号を所定量だけ遅延し、S / D バッファ 4 3 を活性化するための S D E Z 信号（図 1 7 （H）参照）として出力する。

【0 0 9 0】一方、データ入力バッファ 4 2 は、入力データ（検索データ）D I N（図 1 7 （I）参照）とクロック信号 C L K を入力し、図 1 6 に示す回路により、入力データ D I N をクロック信号 C L K でラッチし、所定量だけ遅延して得られた D I Z 信号（図 1 7 （J）参照）を S / D バッファ 4 3 に対して出力する。

【0 0 9 1】S / D バッファ 4 3 は、図 1 3 に示すように、D I Z 信号と S D E Z 信号を入力し、これらのN A N D を演算した信号と、この信号を所定量だけ遅延した信号とのN A N D を演算した結果を S D 信号（図 1 7 （K）参照）として出力する。

【0 0 9 2】M S E バッファ 4 1 e は、図 1 4 に示す回路により、M S E ジェネレータ 4 1 c から供給された P M L E Z 信号を遅延し、M L S A 4 4 を活性化するための M L E Z 信号（図 1 7 （L）参照）として出力する。

【0 0 9 3】以上の動作により、図 2 に示すメモリワードブロック # 1 2 の S / D バッファ 4 3 および M L S A 4 4 が活性化されることになる。なお、これ以外のブロックでは、B E 0～B E 1 1 および B E 1 3～B E 3 1 信号が “H” の状態であることから、S / D バッファ 4 3 および M L S A 4 4 は活性化されない。

【0 0 9 4】M L S A 4 4 が活性化されると、マッチ線 M L がプリチャージされる。そして、活性化されている S / D バッファ 4 3 からセル 4 0 a に対して検索データが供給され、検索動作が実行される。

【0 0 9 5】検索動作は、活性化されているメモリワードブロック # 1 2 のメモリワード毎に実行され、対象となっているメモリワードに格納されているデータが検索データと不一致である場合には、図 1 5 に示す、ワイヤードオア接続されているマッチ線が “L” レベルとなる

（図 1 7 （M）参照）。その結果、インバータ 1 7 1 の出力が “H” の状態になる（図 1 7 （N）参照）。一方、対象となっているメモリワードに格納されているデータが検索データと一致した場合には、そのマッチ線 M L は “H” の状態を保持するので、インバータ 1 7 1 の出力は “L” の状態になり、当該メモリワードにデータが格納されていることを示す。

【0 0 9 6】このようにして該当するデータが見つかった場合には、そのマッチ線に対応するアドレスデータが半導体記憶装置の外部に出力され、検索動作を完了する。以上は、活性化されたメモリワードブロックについての動作説明であるが、以下に活性化されない場合についての動作説明を行う。

【0 0 9 7】図 1 8 は活性化の対象となっていないメモリワードブロックに関する動作を説明するためのタイミングチャートである。なお、この図では、図 1 7 の場合と同様にメモリワードブロック # 1 2 を例に挙げている。

【0 0 9 8】メモリワードブロックが活性化の対象となっていない場合には、B E レジスタ 6 5 から出力される B E 1 2 信号（図 1 8 （C）参照）は、X S E R 信号（図 1 8 （B）参照）が “L” になるタイミングで “H” の状態になる。

【0 0 9 9】その結果、入力バッファ 4 1 a から出力される B E 1 2 Z 信号（図 1 8 （C）参照）も “H” の状態になるので、M S E ジェネレータ 4 1 c から出力される P M L E Z 信号（図 1 8 （F）参照）および P S D E Z 信号（図 1 8 （G）参照）は、ともに “L” の状態を保持する。

【0 1 0 0】従って、S D E バッファ 4 1 d から出力される S D E Z 信号（図 1 8 （H）参照）および M S E バッファ 4 1 e から出力される M L E Z 信号（図 1 8 （L）参照）は、ともに “L” の状態を保持することから、S / D バッファ 4 3 および M L S A 4 4 はともに活性化されない状態となる。

【0 1 0 1】従って、当該メモリワードブロックでは、検索動作が行われないことになる。以上に説明したように、本発明の実施の形態によれば、複数のメモリワードからなるメモリワードブロックを構成し、検索動作時には検索対象となるメモリワードブロックを指定し、当該メモリワードブロックのみを活性化し、他のメモリワードブロックについては活性化しないようにしたので、消費電力を削減することが可能になる。

【0 1 0 2】また、B E レジスタ 6 4 に複数のレジスタを設け、検索対象にあわせた活性化パターンのデータを格納しておき、検索動作時には複数のレジスタのいずれかを指定するようにしたので、少ない情報量で目的のメモリワードブロックを活性化することが可能になる。

【0 1 0 3】また、目的にあわせたデータを B E レジスタ 6 4 に予め格納しておくことにより、検索対象となる

メモリワードブロックを検索の度に指定する場合に比べて、検索動作を迅速に実行することが可能になる。

【0104】なお、以上の実施の形態に示す回路は、ほんの一例であり、本発明がこのような場合にのみ限定されるものではなく、種々の変形実施形態が存在することはいうまでもない。

【0105】

【発明の効果】以上説明したように本発明では、全てのメモリワードを、複数の連想メモリワードからなるメモリワードブロックに分割し、検索動作時には、格納回路に格納されている複数の活性化パターンから所定の活性化パターンを選択し、この活性化パターンに従ってメモリワードブロックを活性化し、活性化された連想メモリワードのみを検索の対象するようにしたので、消費電力を削減することが可能になる。

【図面の簡単な説明】

【図1】本発明の動作原理を説明する原理図である。

【図2】本発明の実施の形態の構成例を示す図である。

【図3】図2に示す実施の形態の更に詳細な構成例を示す図である。

【図4】図3に示す破線で囲繞された部分の詳細な構成例を示す図である。

【図5】図4に示す破線で囲繞された部分の詳細な構成例を示す図である。

【図6】活性化するメモリワードブロックを指定するための情報を格納したレジスタの構成例を示す図である。

【図7】B E レジスタに関する回路の構成例を示す図である。

【図8】図7に示すB E レジスタの詳細な構成例を示す図である。

【図9】図8に示すB E レジスタの列方向のB E Oに関する部分の拡大図である。

【図10】図5に示す入力バッファの詳細な構成例を示す図である。

【図11】図5に示すM S E ジェネレータの詳細な構成例を示す図である。

【図12】図5に示すS D E バッファの詳細な構成例を示す図である。

【図13】図5に示すS / D バッファの詳細な構成例を示す図である。

【図14】図5に示すM S E バッファの詳細な構成例を示す図である。

【図15】図5に示すM L S A バッファの詳細な構成例を示す図である。

【図16】図5に示すデータ入力バッファの詳細な構成例を示す図である。

【図17】メモリワードブロック # 12が活性化対象となった場合の動作を説明するタイミングチャートである。

【図18】メモリワードブロック # 12が活性化対象と

なっていない場合の動作を説明するタイミングチャートである。

【図19】従来のC A Mのセルの構成を示す図である。

【図20】図19に示すセルの動作を説明するための真理値表である。

【図21】従来のメモリワードの構成例を示す図である。

【図22】図21に示すメモリワードの動作を説明するためのタイミングチャートである。

【符号の説明】

2 0 - 1 ~ 2 0 - M メモリワードブロック

2 0 - 1 - 1 ~ 2 0 - 1 - N メモリワード

2 1 活性化回路

2 2 特定回路

4 0 セルアレイ

4 1 制御回路

4 1 a 入力バッファ

4 1 b 入力バッファ

4 1 c M S E ジェネレータ

4 1 d S D E バッファ

4 1 e M S E バッファ

4 2 データ入力バッファ

4 3 S / D バッファ

4 4 M L S A

5 0 - 1 ~ 5 0 - n インストラクションピン

5 1 - 1 ~ 5 1 - p データ入力ピン

5 2 - 1 ~ 5 2 - n 入力バッファ

5 3 - 1 ~ 5 3 - p 入力バッファ

5 4 - 1 ~ 5 4 - n ラッチ回路

5 5 - 1 ~ 5 5 - n ラッチ回路

5 6 コマンドデコーダ

5 7 レジスタ活性化回路

5 8 アドレスデコーダ

5 9 デコーダ

6 0 Wデコーダ

6 1 パターンジェネレータ

6 2 データパターン回路

6 3 Wアンプ

6 4 B E レジスタ

6 5 B E レジスタ

7 0 ~ 8 1 インバータ

8 2 , 8 3 トランジスター

8 4 ~ 8 7 P - T R A N J I S T A

8 8 ~ 9 6 N - T R A N J I S T A

1 0 0 , 1 0 1 トランジスター

1 0 2 ~ 1 0 7 インバータ

1 0 8 , 1 0 9 P - T R A N J I S T A

1 1 0 , 1 1 1 N - T R A N J I S T A

1 2 0 , 1 2 1 インバータ

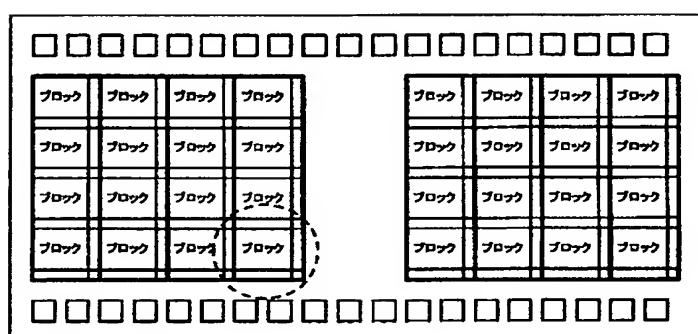
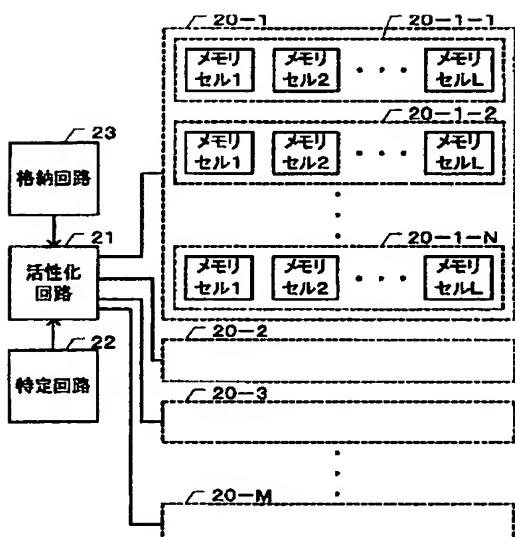
1 2 2 N A N D ゲート

130～133 インバータ
 134～136 キャパシタ
 140, 141 NANDゲート
 142～145 インバータ
 146～149 キャパシタ
 150～155 インバータ
 156～160 キャパシタ

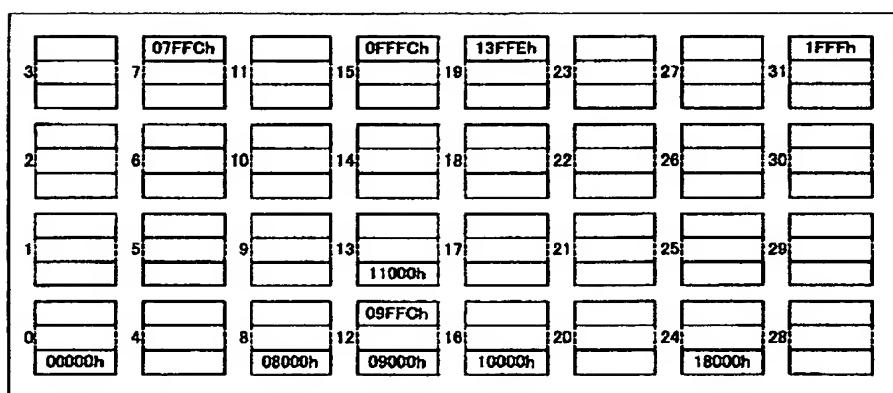
170 P-トランジスタ
 171 インバータ
 190～199 インバータ
 200, 201 トランスファー
 202, 203 P-トランジスタ
 204, 205 N-トランジスタ
 206～208 キャパシタ

【図1】

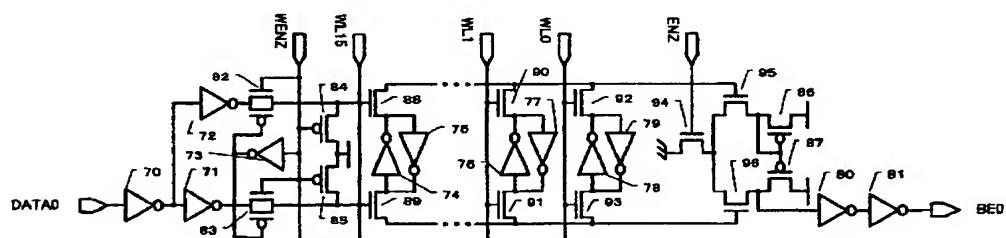
【図3】



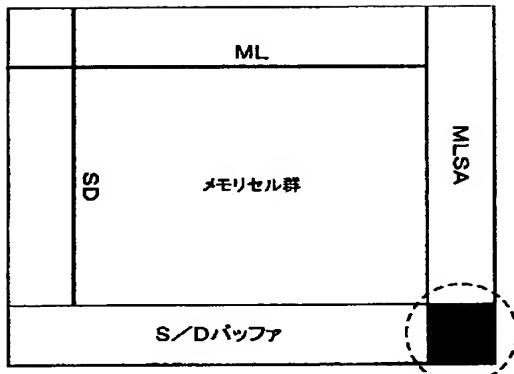
【図2】



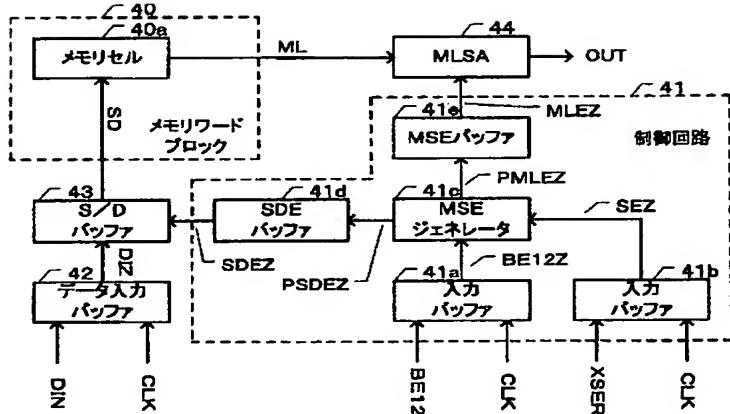
【図9】



【図4】



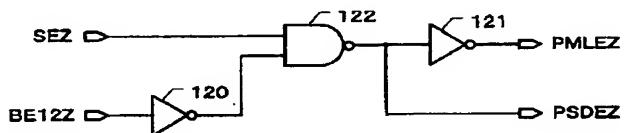
【図5】



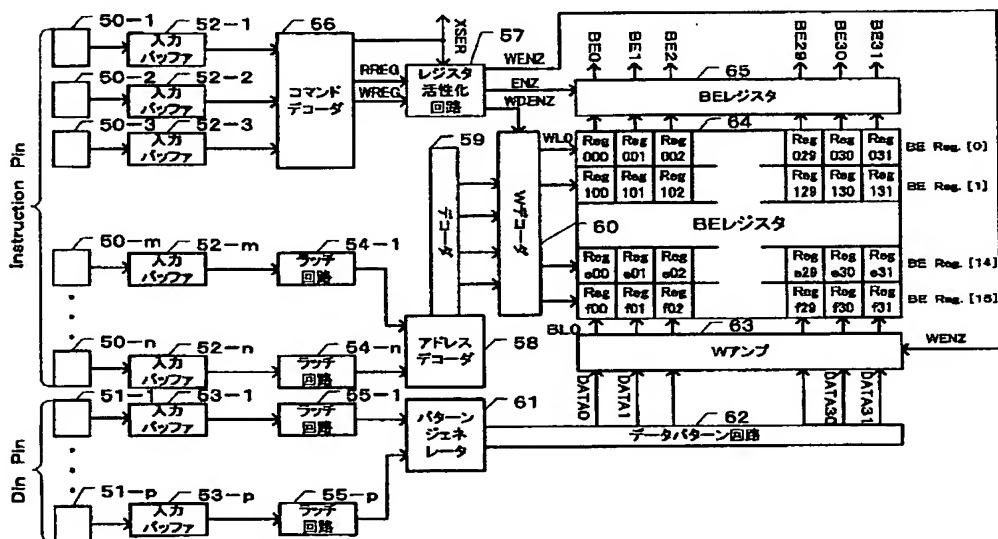
【図6】

	0	1	2	16	29	30	31
BE Reg. [0]	0	0	0		1	0	0
BE Reg. [1]	0	1	1	...	1	1	1
BE Reg. [2]	1	1	1	...	0	0	0
BE Reg. [3]				...			
	:	:	:	...			
BE Reg. [12]				...			
BE Reg. [13]	0	0	0	...	1	1	1
BE Reg. [14]	1	1	1	...	1	1	1
BE Reg. [15]	0	0	0	0	0	0	0

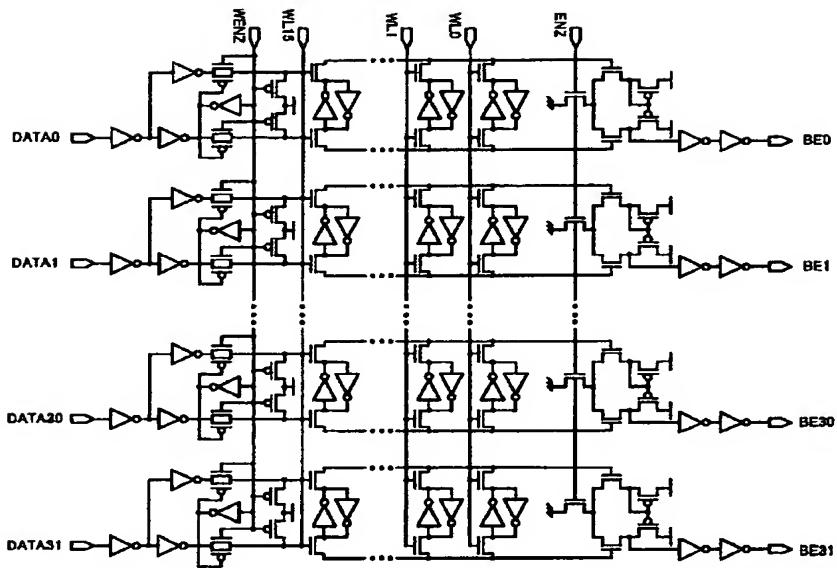
【図11】



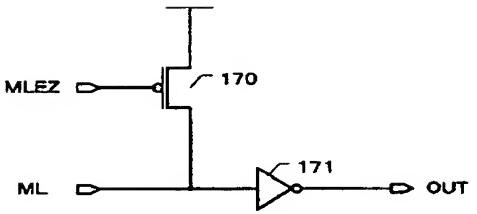
【図7】



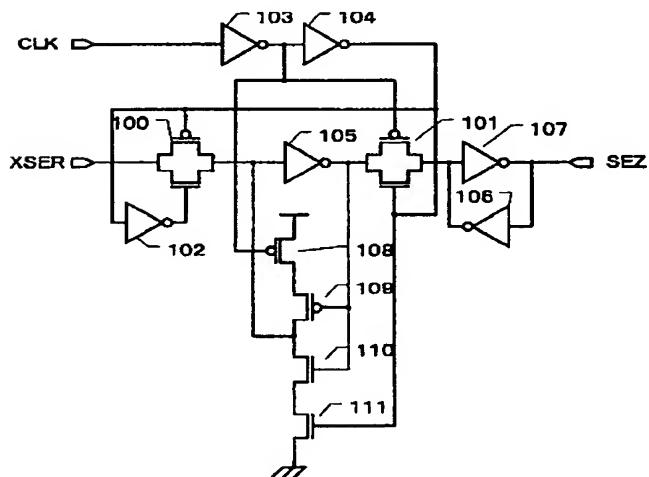
【図8】



【図15】



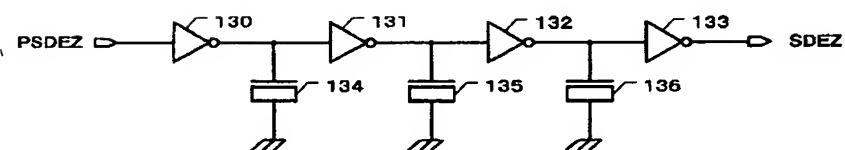
【図10】



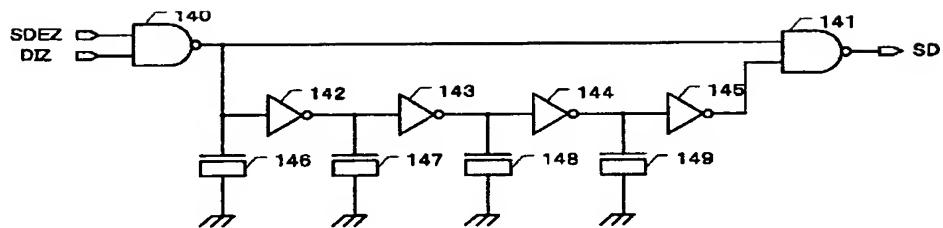
【図20】

メモリ値			検索値			ML	判定
論理値	N1	N2	論理値	SD	XSD		
1	1	0	0	1	0	0	不一致
			1	0	1	1	一致
0	0	1	0	1	0	1	一致
			1	0	1	0	不一致
X	0	0	0	1	0	1	一致
			1	0	1	1	一致

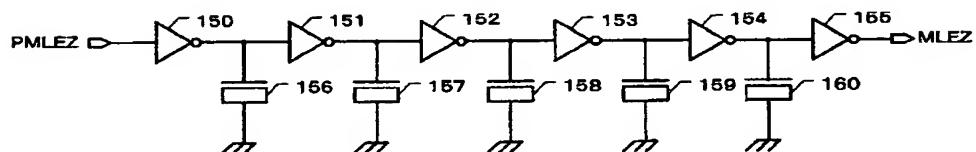
【図12】



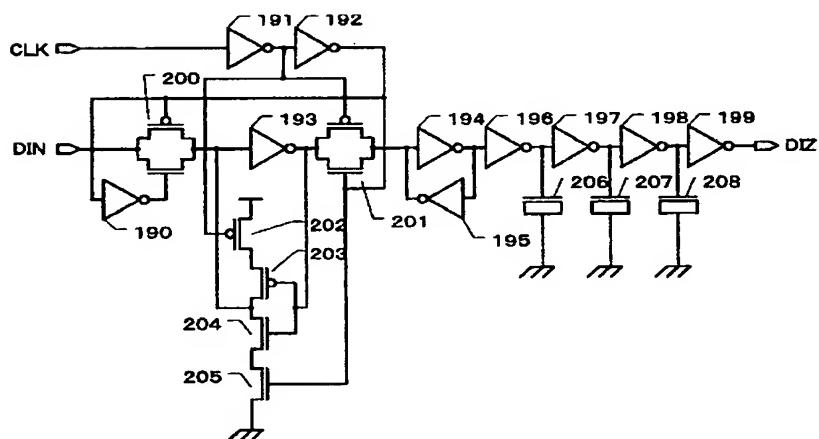
【図13】



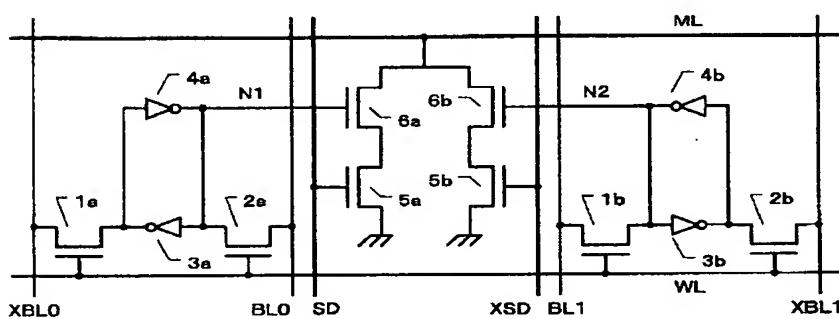
【図14】



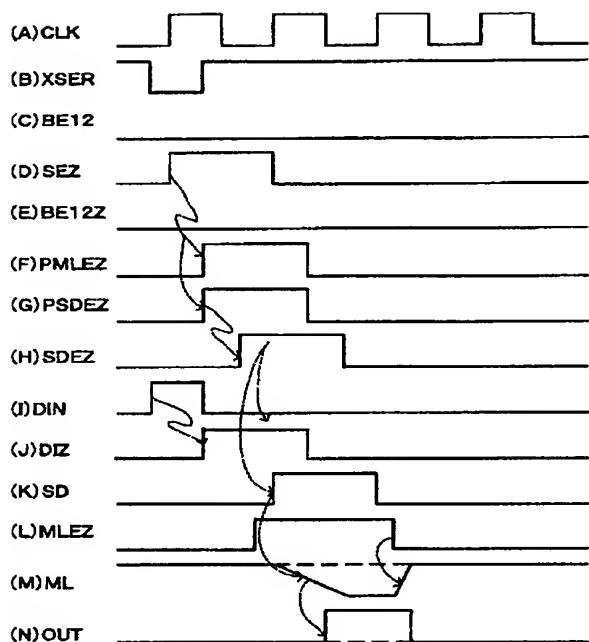
【図16】



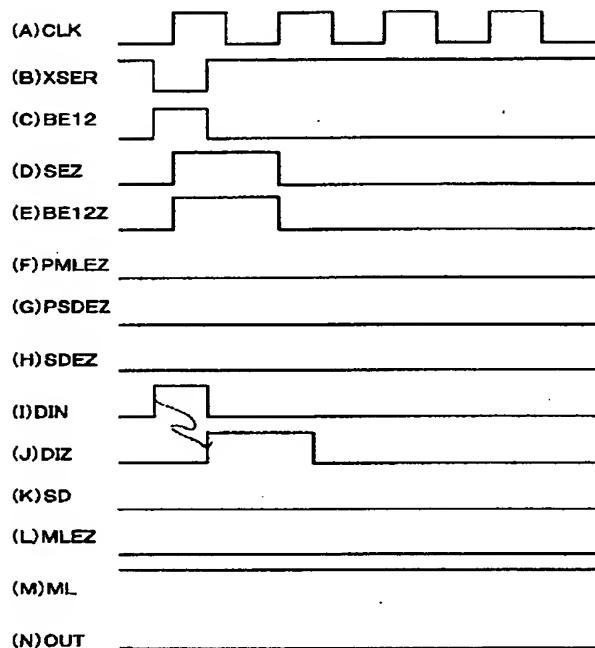
【図19】



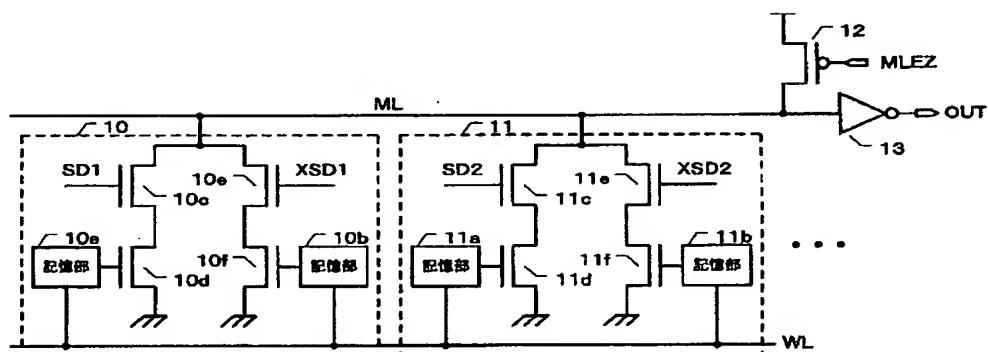
【図17】



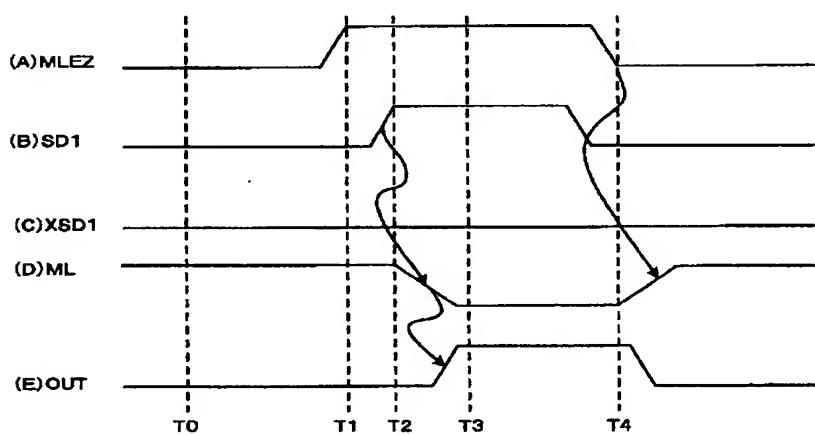
【図18】



【図21】



【図22】



【手続補正書】

【提出日】平成15年4月4日(2003.4.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項8

【補正方法】変更

【補正内容】

【請求項8】 前記格納回路に格納する情報は、検索データが入力されるピンを介して入力されることを特徴とする請求項1記載の半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】図3は、図2の更に詳細な構成例を示す図である。この図に示すように、半導体基板上には、4kワードによって構成されるメモリワードブロックが2分割されて配置されている。図4は、図3において破線により囲繞されているメモリワードブロック#12を拡大して示した図である。この図に示すように、メモリワードブロック#12は、中央部分にメモリセル群が配置され、各メモリセルにはマッチ線MLおよび検索データ線SDがそれぞれ接続されている。マッチ線MLからの出力はマッチ線センスアンプMLSA（以下、単にMLSAと称する）によって増幅されて出力される。一方、検索データ線SDは、S/Dバッファによって制御される。また、図中破線で囲繞した部分には、制御回路が配置されており、MLSAおよびS/Dバッファを制御する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正内容】

【0047】ここで、インストラクションピン50-1～50-nは、半導体記憶装置にコマンドを入力するためのピン（端子）であり、インストラクションピン50-1～50-3は、コマンド自体を、また、インストラクションピン50-m～50-nは、BEレジスタの所定のレジスタを指定するためのデータ（アドレス）が入力される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

【0052】レジスタ活性化回路57は、コマンドデコーダ56から出力されたリードレジスタRRREG、ライトレジスタWRREGおよび検索信号XSERを入力し、

Wデコーダ60、BEレジスタ65およびWアンプ63を活性化するためのWDENZ信号、ENZ信号およびWENZ信号をそれぞれ出力する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正内容】

【0074】このとき、Wデコーダ60には、インストラクションピン50-m～50-nから入力され、入力バッファ52-m～52-nおよびラッチ回路54-1～54-nを経由し、アドレスデコーダ58およびデコーダ59によりデコードされた信号が供給されているので、Wデコーダ60はこの信号に応じてBEレジスタ64の所定のレジスタを活性化する。いまの例では、インストラクションピン50-m～50-nには“2”が入力されているので、BE REG. [2] が活性化されることになる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0081

【補正方法】変更

【補正内容】

【0081】レジスタ活性化回路57は、ENZ信号をアクティブにし、BEレジスタ65を活性化するとともに、WDENZ信号をアクティブにし、Wデコーダ60をアクティブにする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0099

【補正方法】変更

【補正内容】

【0099】その結果、入力バッファ41aから出力されるBE12Z信号（図18（E）参照）も“H”的状態になるので、MSEジェネレータ41cから出力されるPMLEZ信号（図18（F）参照）およびPSDEZ信号（図18（G）参照）は、ともに“L”的状態を保持する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】符号の説明

【補正方法】変更

【補正内容】

【符号の説明】

20-1～20-M メモリワードブロック

20-1-1～20-1-N メモリワード

21 活性化回路

22 特定回路

40 メモリワードブロック

4 1 制御回路	7 0～8 1 インバータ
4 1 a 入力バッファ	8 2, 8 3 トランスファー
4 1 b 入力バッファ	8 4～8 7 P-トランジスタ
4 1 c M S E ジェネレータ	8 8～9 6 N-トランジスタ
4 1 d S D E バッファ	1 0 0, 1 0 1 トランスファー
4 1 e M S E バッファ	1 0 2～1 0 7 インバータ
4 2 データ入力バッファ	1 0 8, 1 0 9 P-トランジスタ
4 3 S/Dバッファ	1 1 0, 1 1 1 N-トランジスタ
4 4 M L S A	1 2 0, 1 2 1 インバータ
5 0-1～5 0-n インストラクションピン	1 2 2 N A N D ゲート
5 1-1～5 1-p データ入力ピン	1 3 0～1 3 3 インバータ
5 2-1～5 2-n 入力バッファ	1 3 4～1 3 6 キャパシタ
5 3-1～5 3-p 入力バッファ	1 4 0, 1 4 1 N A N D ゲート
5 4-1～5 4-n ラッチ回路	1 4 2～1 4 5 インバータ
5 5-1～5 5-n ラッチ回路	1 4 6～1 4 9 キャパシタ
5 6 コマンドデコーダ	1 5 0～1 5 5 インバータ
5 7 レジスタ活性化回路	1 5 6～1 6 0 キャパシタ
5 8 アドレスデコーダ	1 7 0 P-トランジスタ
5 9 デコーダ	1 7 1 インバータ
6 0 Wデコーダ	1 9 0～1 9 9 インバータ
6 1 パターンジェネレータ	2 0 0, 2 0 1 トランスファー
6 2 データパターン回路	2 0 2, 2 0 3 P-トランジスタ
6 3 Wアンプ	2 0 4, 2 0 5 N-トランジスタ
6 4 B E レジスタ	2 0 6～2 0 8 キャパシタ
6 5 B E レジスタ	